

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 시본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0058102  
Application Number

출원년월일 : 2002년 09월 25일  
Date of Application SEP 25, 2002

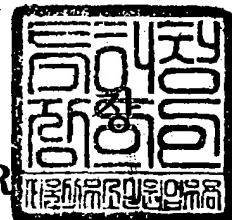
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.

2003년 05월 14일



특허청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2002.09.25
【발명의 명칭】	반도체 소자의 이중 도핑 분포를 갖는 콘택플러그 형성 방법
【발명의 영문명칭】	Method for making contact plug having double doping distribution in semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	주성재
【성명의 영문표기】	J00, Sung Jae
【주민등록번호】	700523-1182411
【우편번호】	463-700
【주소】	경기도 성남시 분당구 구미동 금강아파트 1103-303
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대 리인 성 (인) <span style="float: right;">특허법인 신</span>
【수수료】	
【기본출원료】	19      면      29,000    원
【가산출원료】	0      면      0    원
【우선권주장료】	0      건      0    원
【심사청구료】	0      항      0    원
【합계】	29,000    원

1020020058102

출력 일자: 2003/5/15

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 도펀트의 농도 감소로 인한 콘택저항 증가를 방지하면서 콘택내에 주입된 도펀트의 확산을 억제하는데 적합한 반도체 소자의 콘택플러그 형성 방법을 제공하기 위한 것으로, 본 발명은 콘택분리막이 제공하는 개구내에 도전막을 증착하면서 도전막의 깊이 방향으로 다른 농도분포를 갖도록 도펀트를 도핑하되, 도전막의 증착초기부터 목표 두께까지는 도펀트의 도핑 농도가 제1 농도로부터 점진적으로 증가하여 제2 농도에 이르도록 도핑하고, 목표 두께부터 증착 완료두께까지는 도펀트의 도핑 농도가 제2 농도로 균일하게 유지되도록 도핑한다.

**【대표도】**

도 3

**【색인어】**

폴리실리콘플러그, 도핑농도, 콘택저항, 도펀트 확산, 콘택플러그

【명세서】

**【발명의 명칭】**

반도체 소자의 이중 도핑 분포를 갖는 콘택플러그 형성 방법{Method for making contact plug having double doping distribution in semiconductor device}.

**【도면의 간단한 설명】**

도 1은 종래기술에 따른 반도체 소자의 셀플러그를 도시한 도면,

도 2는 도 1의 폴리실리콘 플러그의 두께 방향에 대한 인(P)의 도핑 농도 분포를 도시한 그래프,

도 3은 본 발명의 실시예에 따른 반도체 소자의 콘택플러그 형성 방법을 도시한 공정 흐름도,

도 4는 도 3의 도편트 주입 과정을 상세히 도시한 공정 흐름도,

도 5는 도 3에 따른 콘택플러그의 두께에 따른 도편트의 농도 분포를 도시한 그래프,

도 6a 내지 도 6c는 도 3에 따른 폴리실리콘플러그의 형성 방법을 도시한 공정 사시도.

\*도면의 주요 부분에 대한 부호의 설명

31 : 반도체 기판

32 : 게이트산화막

33 : 게이트전극

34 : 하드마스크

35 : 절연막 스페이서

36 : 콘택분리막

37a : 1차 폴리실리콘막

37b : 2차 폴리실리콘막

37 : 폴리실리콘플러그

### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 반도체 소자의 콘택플러그 형성 방법에 관한 것이다.

<14> DRAM 소자의 셀영역에서 실리콘기판의 pn 접합과 캐페시터, 또는 실리콘기판의 pn 접합과 비트라인을 연결하기 위해 사용하는 콘택(contact), 즉 셀플러그(cell plug)의 재질은 대부분 폴리실리콘막이다.

<15> 이와 같이 폴리실리콘막을 이용한 셀플러그(이하 '폴리실리콘플러그'라고 약칭함)는 전기전도성을 증가시키기 위해  $1 \times 10^{20}/\text{cm}^3$  이상의 농도의 n형 도편트를 도핑한다. 주로 사용되는 n형 도편트는 인(Phosphorous; P)이다.

<16> 도 1은 종래기술의 콘택플러그를 갖는 반도체 소자를 도시한 단면도이다.

<17> 도 1을 참조하면, 반도체 기판(11)상에 게이트산화막(12), 게이트전극(13), 하드마스크(14)의 순서로 적층된 게이트라인이 소정 거리를 두고 이격되면서 복수개 형성되고, 각 게이트라인의 양측벽에 절연막스페이서(15)가 구비된다.

<18> 그리고, 인접 플러그간 분리 및 절연을 위한 콘택분리막(16)이 반도체 기판(11)을 노출시키면서 게이트라인 사이를 채우고 있고, 콘택분리막(16)이 제공하는 게이트라인 사이의 공간내에 폴리실리콘플러그(17)가 매립되어 있다.

<19> 도 1에서, 콘택플러그인 폴리실리콘 플러그(17)는 저압화학기상증착법(Low Pressure Chemical Vapor Deposition; LPCVD)을 이용하여 증착한 것이며, 500°C ~ 600°C의 온도 범위에서 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub> 등의 기체를 사용하여 증착과정을 진행하면서 PH<sub>3</sub> 기체를 사용하여 n형 도편트인 인(P)을 도핑한다.

<20> 콘택플러그로 폴리실리콘게르마늄 플러그를 적용하기도 하는데, 이때는 SiH<sub>4</sub>, SiH<sub>2</sub>Cl<sub>2</sub> 등의 기체에 GeH<sub>4</sub>, GeH<sub>2</sub>Cl<sub>2</sub>, Ge<sub>2</sub>H<sub>6</sub> 등의 기체를 첨가한다.

<21> 전술한 바와 같이, 종래기술에서는 PH<sub>3</sub> 기체를 사용하여 인(P)을 도핑하는데, PH<sub>3</sub> 가스의 유량을 증가시키면 폴리실리콘 플러그내의 인 농도가 증가하며, 반대로 PH<sub>3</sub> 가스의 유량을 감소시키면 인 농도는 감소한다. 일반적으로 폴리실리콘플러그내 인 농도는 전체 두께에 대비 균일하게  $1 \times 10^{20}/\text{cm}^3$  이상을 유지한다. 이것은 고농도로 도핑을 하여 폴리실리콘 플러그의 전기전도도를 증가시키기 위한 것이다.

<22> 도 2는 도 1의 폴리실리콘 플러그의 두께 방향에 대한 인(P)의 도핑 농도 분포를 도시한 그래프이다.

<23> 도 2를 참조하면, 폴리실리콘 플러그의 두께(t)가 증가하더라도 폴리실리콘 플러그 내 인(P)의 도핑 농도는 균일한 고농도(C)를 유지한다.

<24> 그러나, 소자의 크기가 점점 작아지면서 얇은 접합(Shallow junction)을 형성해야 할 필요성이 점점 증가하고, 이에 따라 폴리실리콘 플러그를 형성한 후 후속 열공정을 거칠 때 실리콘 기판 내부로 인(P) 원자가 확산하는 현상이 발생된다.

<25> 따라서 인 확산을 억제하기 위해서는 열공정의 온도와 시간을 감소시키는 동시에 폴리실리콘 플러그의 인의 도핑농도를 줄이는 것이 필요하다.

<26> 그러나, 폴리실리콘 플러그 전체의 인 농도를 균일하게 줄일 경우에는 폴리실리콘 플러그의 전기전도도가 저하되어 폴리실리콘 플러그의 저항이 증가하므로, 소자 특성을 열화시킨다.

#### 【발명이 이루고자 하는 기술적 과제】

<27> 본 발명은 상기한 종래기술의 문제점을 해결하기 위해 안출한 것으로, 콘택저항 증가를 방지하면서 콘택내에 주입된 도편트의 확산을 억제하는데 적합한 반도체 소자의 콘택플러그 형성 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<28> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 콘택플러그 형성 방법은 반도체 기판상에 상기 반도체 기판의 일부분을 노출시키는 개구를 갖는 콘택분리막을 형성하는 단계, 상기 콘택분리막의 개구내에 도전막을 증착하는 단계, 상기 도전막을 형성하는 과정중에 상기 도전막의 깊이 방향으로 다른 농도분포를 갖도록 도편트를 도핑하는 단계, 및 상기 도전막의 평탄화 과정을 통해 상기 개구내에 콘택플러그를 형성하는 단계를

포함함을 특징으로 하고, 상기 도편트를 도핑하는 단계는 상기 도전막의 증착초기부터 목표 두께까지는 상기 도편트의 도핑 농도가 제1 농도로부터 점진적으로 증가하여 제2 농도에 이르도록 도핑하는 제1 도핑 단계, 및 상기 목표 두께부터 증착 완료두께까지는 상기 도편트의 도핑 농도가 상기 제2 농도로 균일하게 유지되도록 도핑하는 제2 도핑 단계를 포함함을 특징으로 한다.

<29>       이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

<30>       도 3은 본 발명의 실시예에 따른 반도체 소자의 콘택플러그 형성 방법을 도시한 공정 흐름도이고, 도 4는 도 3의 도편트 주입 과정을 상세히 도시한 공정 흐름도이며, 도 5는 도 3에 따른 콘택플러그의 두께에 따른 도편트의 농도 분포를 도시한 그래프이다.

<31>       도 3에 도시된 바와 같이, 본 발명의 실시예에 따른 반도체 소자의 콘택플러그 형성 방법은, 크게 게이트라인 형성 과정(21), 절연막 스페이서 형성 과정(22), 콘택분리막 형성 과정(23), 콘택분리막이 제공하는 개구내에 도전막을 증착하는 과정(24), 도전막 증착과정중에 도전막의 두께 방향으로 다른 농도 분포를 갖는 도편트를 주입하는 과정(25), 도전막의 평탄화를 통해 콘택플러그를 형성하는 과정(26)으로 구분된다.

<32>       이때, 도편트를 주입하는 과정은, 도 4 및 도 5를 참조하면, 도전막의 증착초기( $t_0$ )부터 목표 두께( $t_1$ )까지는 도편트의 도핑 농도가 제1 농도( $C_0$ )로부터 점진적으로 증가하여 제2 농도( $C$ )에 이르도록 도핑하는 제1 도핑 과정(25a)과, 목표

두께( $t_1$ )부터 증착 완료두께( $t_2$ )까지는 도편트의 도핑 농도가 제2 농도(C)로 균일하게 유지되도록 도핑하는 제2 도핑 과정(25b)으로 구성된다.

<33> 도 4에서, 제1 농도( $C_0$ )와 제2 농도(C)의 차이를 유지하기 위해, 제1 도핑 과정(25a)은 제2 도핑 과정(25b)에 비해 도핑 가스를 상대적으로 적은 유량으로 주입하고, 점진적으로 그 유량을 증가시켜 도편트의 도핑 농도가 제1 농도( $C_0$ )로부터 증가하여 제2 농도(C)에 이르도록 도핑한다.

<34> 그리고, 제2 도핑 과정(25b)은 제1 도핑 과정(25a)에 비해 도핑 가스를 상대적으로 많은 유량으로 주입하고, 도편트의 도핑 농도가 제1 도핑 과정(25a)의 종말 농도인 제2 농도(C)를 유지하도록 균일하게 그 유량을 유지하면서 도핑한다.

<35> 한편, 도전막 증착 과정(24)은 저압화학기상증착법(LPCVD)을 이용하여 500°C ~ 600°C의 온도 범위에서 폴리실리콘막 또는 폴리실리콘게르마늄막을 증착한다. 이 때, 도전막의 증착완료 두께( $t_2$ )를 3000 Å ~ 3500 Å이라 할 때 제1 도핑 과정(25a)이 이루어지는 목표 두께( $t_1$ )는 500 Å ~ 1000 Å이 바람직하다.

<36> 그리고, 제1 농도( $C_0$ )는  $5 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{20}/\text{cm}^3$ 이고, 제2 농도(C)는  $1 \times 10^{20}/\text{cm}^3 \sim 3 \times 10^{20}/\text{cm}^3$ 이며, 이와 같은 제1,2 농도( $C_0$ , C)는 콘택플러그의 전기전도도를 증가시키기 위한 농도로 적합하다.

<37> 그리고, 도편트를 주입하기 위한 도핑가스는 PH<sub>3</sub> 가스를 이용한다.

<38> 도 6a 내지 도 6c는 도 3에 따른 폴리실리콘플러그의 형성 방법을 도시한 공정 사시도이다.

<39> 도 6a에 도시된 바와 같이, 반도체 기판(31)상에 게이트산화막(32), 게이트전극(33), 하드마스크(34)의 순서로 적층된 게이트라인을 소정 거리를 두고 복수개 형성한다

<40> 다음에, 각 게이트라인의 양측벽에 절연막스페이서(35)를 형성하는데, 절연막 스페이서(35)는 산화막 또는 질화막을 게이트라인을 포함한 전면에 증착한 후 에치백(Etchback)하여 형성한다.

<41> 다음에, 절연막 스페이서(35)까지 형성된 반도체 기판(31) 상부에 층간절연막을 증착한 후, 게이트라인의 하드마스크(34) 표면이 드러날때까지 평탄화하고, 콘택마스크로 층간절연막을 식각하여 콘택분리막(36)을 형성한다.

<42> 따라서, 콘택분리막(36)은 인접 플러그간 분리 및 절연을 위한 것으로 통상적인 층간절연막(Inter Layer Dielectric; ILD)이고, 예를 들면, BPSG, BSG, TEOS, USG이다.

<43> 다음으로, 콘택분리막(36)이 제공하는 게이트 라인 사이의 개구(opening), 예컨대 콘택홀을 포함한 전면에 저압화학기상증착법(LPCVD)을 이용하여 주입되는 도핀트의 농도가 제1 농도에서 제2 농도에 이르는 목표 두께( $t_1$ )까지 1차 폴리실리콘막(37a)을 증착한다.

<44> 이때, 1차 폴리실리콘막(37a)의 증착은, 저압화학기상증착법(LPCVD)을 이용하여  $500^{\circ}\text{C} \sim 600^{\circ}\text{C}$ 의 온도 범위에서  $\text{SiH}_4$ ,  $\text{SiH}_2\text{Cl}_2$  등의 원료기체를 사용하여 증착한다. 1차 폴리실리콘막(37a)의 증착과정을 진행하면서  $\text{PH}_3$  기체를 사용하여 인(P)을 도핑하는데, 1차 폴리실리콘막(37a)의 초기 증착두께( $t_0$ )부터 목표두께( $t_1$ )까지 인(P)의 도핑 농도를 점진적으로 증가시킨다.

<45> 즉, 1차 폴리실리콘막(37a)과 콘택트되는 반도체 기판(31) 부근에서부터 목표두께( $t_1$ )까지 제1 농도( $C_0$ )에서 제2 농도( $C$ )까지 증가시킨다. 이때, 제1 농도( $C_0$ )는  $5 \times 10^{18}/\text{cm}^3$  ~  $1 \times 10^{20}/\text{cm}^3$  이고, 제2 농도( $C$ )는  $1 \times 10^{20}/\text{cm}^3$  ~  $3 \times 10^{20}/\text{cm}^3$ 이다.

<46> 예를 들어, 콘택트플러그인 폴리실리콘막의 증착 완료 두께가  $3000\text{\AA}$  ~  $3500\text{\AA}$ 인 경우, 1차 폴리실리콘막(37a)을  $500\text{\AA}$  ~  $1000\text{\AA}$ 까지 증착하고, 1차 폴리실리콘막(37a)의 증착 과정중에 도핑가스인  $\text{PH}_3$  가스를 상대적으로 적은 유량으로 도입하여 제1 농도( $C_0$ )를 갖도록 하고, 점차  $\text{PH}_3$  가스의 유량을 증가시켜 1차 폴리실리콘막(37a)내 인의 도핑 농도가 제2 농도( $C$ )가 되도록 한다.

<47> 도 6b에 도시된 바와 같이, 1차 폴리실리콘막(37a)의 증착이 완료된 후, 계속해서 2차 폴리실리콘막(37b)을 증착 완료두께( $t_2$ )까지 증착한다. 이때, 1차 폴리실리콘막(37a)과 2차 폴리실리콘막(37b)은 저압화학기상증착법(LPCVD)을 이용하여 인시튜(in-situ)로 이루어지며, 1,2차 폴리실리콘막(37a, 37b)으로 구분한 이유는 도편트인 인의 도핑농도가 제1 농도( $C_0$ )와 제2 농도( $C$ )의 차이를 갖도록 하기 위해 도핑가스의 유량 변화에 따른 증착 과정을 설명하기 위한 것이다.

<48> 따라서, 1차 폴리실리콘막(37a)내에 주입된 인의 도핑농도가 종말 농도인 제2 농도( $C$ )에 이른 후, 2차 폴리실리콘막(37b)을 폴리실리콘플러그의 증착 완료 두께에 이를 때 까지 증착한다. 이러한 증착과정 중에  $\text{PH}_3$  가스의 유량은 증착 완료 두께까지 제2 농도를 균일하게 유지하도록 유량 변화가 없다.

<49> 결국, 증착 완료 두께인  $3000\text{\AA}$  ~  $3500\text{\AA}$ 까지는 1차 폴리실리콘막(37a)의 초기 증착 시보다  $\text{PH}_3$  가스를 상대적으로 많은 유량으로 일정하게 도입하여 2차 폴리실리콘막(37b) 내 인의 도핑 농도가 균일한 제2 농도( $C$ )를 갖도록 한다. 이때,  $\text{PH}$

3 가스의 유량은 1차 폴리실리콘막(37a)의 목표두께에서 제2 농도(C)를 갖도록 하는 유량을 그대로 증착완료시점까지 유지하는 것이고, 제2 농도(C)는  $1 \times 10^{20}/\text{cm}^3 \sim 3 \times 10^{20}/\text{cm}^3$  이다.

<50> 도 6c에 도시된 바와 같이, 1,2 차 폴리실리콘막(37a, 37b)을 화학적기계적연마법 또는 에치백 등의 일련의 공정을 거쳐서 개구내에 표면이 평탄화된 폴리실리콘플러그(37)를 형성한다.

<51> 전술한 바와 같이, 폴리실리콘플러그(37)는 상대적으로 저농도로 인(P)이 주입되어서 점차 증가되는 농도 분포를 갖는 1차 폴리실리콘막(37a)과 1차 폴리실리콘막(37b)에 비해 상대적으로 고농도로 인(P)이 주입되면 균일한 고농도 분포를 갖는 2차 폴리실리콘막(37b)로 이루어진다.

<52> 즉, 폴리실리콘플러그(37)는 이중 도핑분포를 갖게 되는데, 반도체 기판(31)에 인접하는 부근에서는 제1 농도( $C_0$ )로부터 점차 증가하는 농도 분포를 갖고 그 이외의 부분에서는 통상의 고농도 도핑 농도인 제2 농도(C)를 균일하게 유지한다.

<53> 이와 같이, 이중 도핑분포를 갖는 폴리실리콘플러그(37)를 형성하면, 후속 열공정을 거치더라도 인(P)의 확산을 최소화할 수 있고, 동시에 폴리실리콘플러그(37)의 저항 증가를 방지할 수 있다. 즉, 열공정시 반도체 기판(31)에 인접하는 부근에서만 인(P)이 확산할뿐 고농도 도핑이 이루어진 부분에서는 확산하지 않으므로 인의 도핑농도 감소를 최소화하여 저항 증가를 방지한다.

<54> 도 6a 내지 도 6c에서는 폴리실리콘막플러그로 적용한 경우를 예로 들었으나, 폴리실리콘막외에 폴리실리콘게르마늄을 콘택틀러그로 적용하는 경우에도 이중 도핑분포를

구현할 수 있고, 이로써 폴리실리콘막에 비해 더 낮은 저항을 얻을 수 있다. 폴리실리콘  
게르마늄이 폴리실리콘막에 비해 저항이 낮은 것은 공지된 기술이다.

<55> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상  
기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또  
한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양  
한 실시예가 가능함을 이해할 수 있을 것이다

#### 【발명의 효과】

<56> 상술한 본 발명은 낮은 저항값을 가지면서도 인의 확산을 억제할 수 있는 셀플러그  
공정을 확보하므로써 소자의 집적도를 향상시킬 수 있는 효과가 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판상에 상기 반도체 기판의 일부분을 노출시키는 개구를 갖는 콘택분리막을 형성하는 단계;

상기 콘택분리막의 개구내에 도전막을 증착하는 단계;

상기 도전막을 형성하는 과정중에 상기 도전막의 깊이 방향으로 다른 농도분포를 갖도록 도편트를 도핑하는 단계; 및

상기 도전막의 평탄화 과정을 통해 상기 개구내에 콘택플러그를 형성하는 단계를 포함함을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

**【청구항 2】**

제1 항에 있어서,

상기 도편트를 도핑하는 단계는,

상기 도전막의 증착초기부터 목표 두께까지는 상기 도편트의 도핑 농도가 제1 농도로부터 점진적으로 증가하여 제2 농도에 이르도록 도핑하는 제1 도핑 단계; 및

상기 목표 두께부터 증착 완료두께까지는 상기 도편트의 도핑 농도가 상기 제2 농도로 균일하게 유지되도록 도핑하는 제2 도핑 단계

를 포함함을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

**【청구항 3】**

제2 항에 있어서,

상기 제1 도핑 단계는,

상기 제2 도핑 단계에 비해 도핑 가스를 상대적으로 적은 유량으로 주입하고, 점진적으로 그 유량을 증가시켜 상기 도편트의 도핑 농도가 상기 제1 농도로부터 증가하여 상기 제2 농도에 이르도록 도핑하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

**【청구항 4】**

제2 항에 있어서,

상기 제2 도핑 단계는,

상기 제1 도핑단계에 비해 도핑 가스를 상대적으로 많은 유량으로 주입하고, 상기 도편트의 도핑 농도가 상기 제2 농도를 유지하도록 균일하게 그 유량을 유지하면서 도핑하는 것을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

**【청구항 5】**

제2 항에 있어서,

상기 도전막의 증착완료 두께는  $3000\text{ \AA} \sim 3500\text{ \AA}$ 이고, 상기 목표 두께는  $500\text{ \AA} \sim 1000\text{ \AA}$ 인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

**【청구항 6】**

제2 항에 있어서,

상기 제1 농도는  $5 \times 10^{18}/\text{cm}^3 \sim 1 \times 10^{20}/\text{cm}^3$  이고, 상기 제2 농도는  $1 \times 10^{20}/\text{cm}^3 \sim 3 \times 10^{20}/\text{cm}^3$ 인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

**【청구항 7】**

제3 항 또는 제4 항에 있어서,

상기 도핑가스는 PH<sub>3</sub> 가스를 이용함을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

**【청구항 8】**

제1 항에 있어서,

상기 도전막은 폴리실리콘막 또는 폴리실리콘게르마늄막인 것을 특징으로 하는 반도체 소자의 콘택플러그 형성 방법.

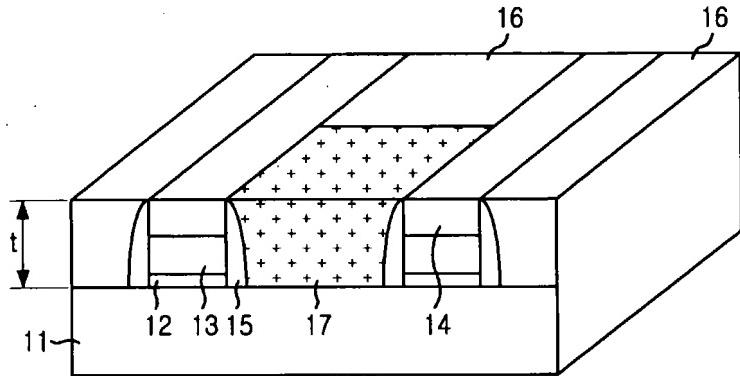


1020020058102

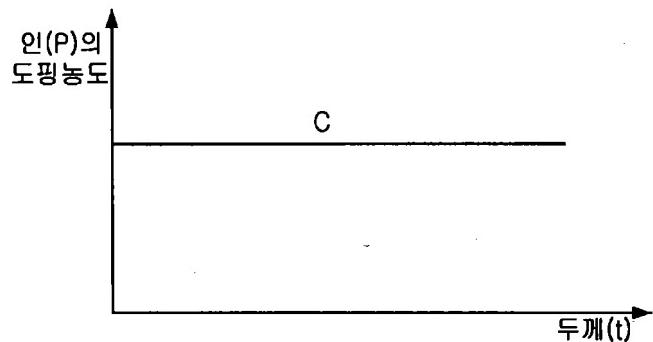
출력 일자: 2003/5/15

【도면】

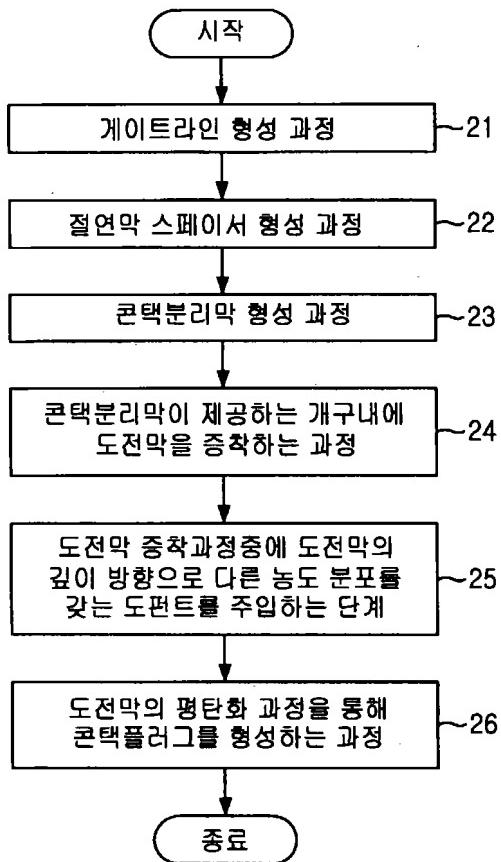
【도 1】



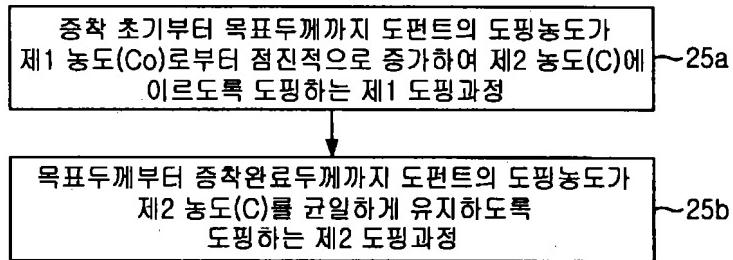
【도 2】



## 【도 3】



## 【도 4】

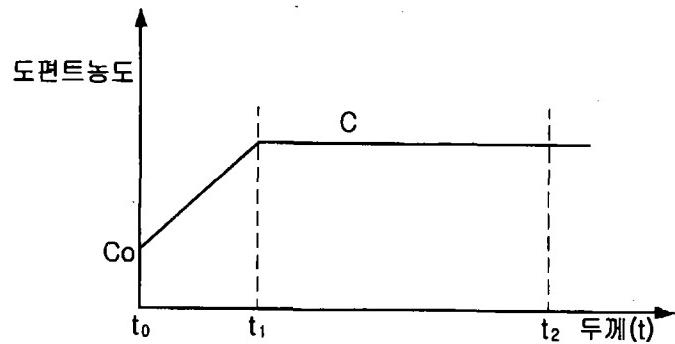




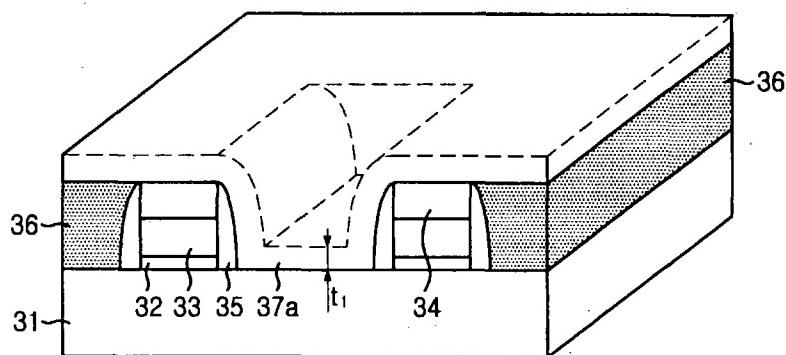
1020020058102

출력 일자: 2003/5/15

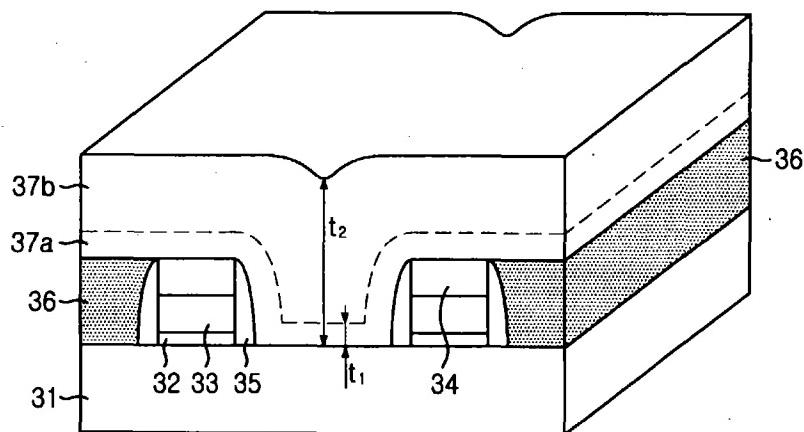
【도 5】



【도 6a】



【도 6b】





1020020058102

출력 일자: 2003/5/15

【도 6c】

